

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030059357 A

(43)Date of publication of application: 10.07.2003

(21)Application number: 1020010088206

(22)Date of filing: 29.12.2001

(71)Applicant: HYNIX SEMICONDUCTOR INC.

(72)Inventor: CHOI, UNG

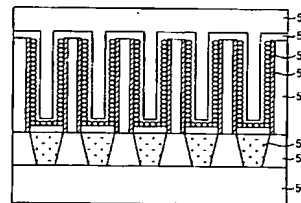
(51)Int. Cl. H01L 27/04

## (54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR MEMORY DEVICE

## (57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor memory device is provided to be capable of preventing bridge between lower electrodes and improving capacitance.

CONSTITUTION: An insulating layer(53) is formed on a substrate (50) having a plug(52). A contact hole is formed to expose the plug. A barrier layer(54) is formed at sides of the insulating layer. A lower electrode is formed and an MPS(Metastable PolySilicon) layer(56) is formed on the lower electrode. A buried layer is filled into the contact hole. After isolating the lower electrodes, the buried layer is removed by wet-etching. A dielectric film(58) and an upper electrode(59) are sequentially formed on the lower electrode.



&amp;copy; KIPO 2003

Legal Status

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 27/04	(11) 공개번호 (43) 공개일자	특2003-0059357 2003년07월10일
(21) 출원번호	10-2001-0088206	
(22) 출원일자	2001년12월29일	
(71) 출원인	주식회사 하이닉스반도체	
(72) 발명자	경기 이천시 부발읍 마미리 산136-1 최웅	
(74) 대리인	서울특별시광진구구의2동77-62201호 특허법인 신성	

심사청구 : 있음

(54) 반도체 메모리 소자의 캐패시터 제조방법

요약

본 발명은 MPS 적용에 따른 하부전극 사이의 브리지 발생을 방지하여 고집적화에 대응하는 캐패시터 용량을 확보할 수 있는 반도체 메모리 소자의 캐패시터 제조방법을 제공한다.

본 발명은 소정의 공정이 완료된 기판 상에 절연막을 형성하는 단계; 절연막을 식각하여 캐패시터용 콘택홀을 형성하는 단계; 절연막 측부에만 배리어 물질막을 형성하는 단계; 배리어 물질막이 형성된 콘택홀 표면 및 절연막 표면 상에 하부전극을 형성하는 단계; 하부전극 표면에 MPS층을 형성하는 단계; MPS층이 형성된 콘택홀에 매립되도록 매립용 물질막을 형성하는 단계; 매립용 물질막, MPS층, 및 하부전극을 절연막의 표면이 노출되도록 전면식각하여 하부전극을 분리하는 단계; 매립용 물질막을 습식식각으로 제거하는 단계; 및 상기 하부전극 상에 유전막 및 상부전극을 형성하는 단계를 포함하는 반도체 메모리 소자의 캐패시터 제조방법에 의해 달성될 수 있다. 바람직하게, 배리어 물질막은 질화막으로 형성하고, 매립용 물질막은 이 배리어 물질막에 비해 습식식각 속도가 우수한 막, 더욱 바람직하게는 PSG막이나 USG막으로 형성한다.

도표도

도5g

색인어

배리어 물질막, CMP, 에치백, MPS, 브리지, 캐패시터

영세서

도면의 간단한 설명

도 1은 종래의 반도체 메모리 소자의 캐패시터를 나타낸 단면도.

도 2는 종래의 캐패시터 제조시 MPS층 입자의 떨어짐 현상에 의한 브리지 발생을 나타낸 도면.

도 3a 내지 도 3c는 종래의 캐패시터 제조시 하부전극 사이에서 발생하는 브리지를 나타낸 도면.

도 4는 종래의 캐패시터 제조시 MPS층 과도성장에 의한 브리지 발생을 나타낸 도면.

도 5a 내지 도 5g는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 캐패시터 제조방법을 설명하기 위한 단면도.

도 6a 내지 도 6f는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 캐패시터 제조방법을 설명하기 위한 단면도.

※도면의 주요부분에 대한 부호의 설명

50, 60 : 반도체 기판	51, 61 : 층간절연막
52, 62 : 플러그	53, 63 : 절연막
54, 64 : 배리어 물질막	55, 65 : 하부전극
56, 66 : MPS층	57, 67 : 매립용 물질막
58, 68 : 유전막	59, 69 : 상부전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 캐패시터 제조방법에 관한 것으로, 특히 MPS(Metastable PolySilicon)를 적용한 반도체 메모리 소자의 캐패시터 제조방법에 관한 것이다.

반도체 메모리 소자의 고집적화에 따라 캐패시터의 하부전극인 스토리지 노드전극의 형상을 대부분 내부 실린더형으로 형성하고 있다. 또한 좁은 셀면적 내에서 충분한 캐패시터를 확보하기 위하여, 하부전극 표면에 MPS를 성장시켜 표면적을 증가시키거나 고유전율의 유전막을 적용하는 방법 등이 이루어지고 있다.

도 1은 MPS를 적용한 종래의 반도체 메모리 소자의 캐패시터를 나타낸 단면도로서, 도 1을 참조하여 그 제조방법을 설명한다.

도 1을 참조하면, 반도체 기판(10) 상에 층간절연막(11)을 형성하고, 기판(10)의 일부가 노출되도록 층간절연막(11)을 식각하여 플러그용 제 1 콘택홀을 형성한다. 그 다음, 상기 제 1 콘택홀에 매립되도록 층간절연막(11) 상에 플러그용 도전막으로서 제 1 폴리실리콘막을 증착하고 전면식각하여 플러그(12)를 형성한다. 그 후, 기판 전면 상에 산화막과 같은 절연막(13)을 형성하고, 포토리소그라피 및 식각공정으로 플러그(12) 및 이 플러그(12)의 주변영역이 일부 노출되도록 절연막(13)을 식각하여 캐패시터용 제 2 콘택홀을 형성한다.

그리고 나서, 상기 제 2 콘택홀 및 절연막(13) 표면 상에 제 2 폴리실리콘막으로 하부전극(14)을 형성하고, 이 하부전극(14)의 표면적을 증대시키기 위하여 하부전극(14) 표면에 MPS층(15)을 형성한다. 그 다음, 이후 진행되는 화학기계연마(Chemical Mechanical Polishing; CMP) 공정시 제 2 콘택홀 내부에 슬러리(slurry)나 연마물질 등이 잔류하는 것을 방지하기 위하여, MPS층(15)이 형성된 제 2 콘택홀에 매립되도록 기판 전면 상에 매립용 물질막(미도시)을 형성한다. 그 후, CMP 공정으로 상기 매립용 물질막, MPS층(15), 및 하부전극(14)을 절연막(13)의 표면이 노출되도록 전면 식각하여, 하부전극(14)을 분리시킨 다음, 상기 매립용 물질막을 제거한다. 그리고 나서, MPS층(15) 상에 유전막(16) 및 상부전극(17)을 형성하여 캐패시터를 완성한다.

그러나, 하부전극(15)을 분리하기 위한 CMP 공정시 MPS층(15)의 입자가 떨어져서, 절연막(13) 표면 상에 잔류하여(도 1의 도면부호 100 참조), 인접 캐패시터 사이에서 브리지(bridge)가 발생된다(도 2 참조).

또한, CMP 공정전 제 2 콘택홀 내부에 형성되는 매립용 물질막으로서 일반적으로 포토레지스트나 습식식각 가능한 산화막을 사용하는데, 포토레지스트를 사용하는 경우에는 CMP 장비의 오염을 막기 위해 별도의 장비를 사용하여야 하는 문제가 있어 양산적인 측면에서 불리하고, 상기 산화막을 사용하는 경우에는 MPS층(15) 형성에 따른 하부전극(14) 사이의 틈으로 인하여 산화막의 습식식각시 캐패시터 사이를 절연하는 절연막(13)도 일부 식각되어, 하부전극(14) 사이에서도 브리지가 발생되어 이중비트 패일(dual bit fail)이 유발된다(도 1의 도면부호 200 및 도 3a 내지 도 3c 참조).

이러한 브리지를 방지하기 위하여, CMP 공정 대신 에치백(etch back) 공정을 적용하여 하부전극을 분리하거나, MPS 층을 하부전극 분리 후 성장하는 방법 등이 제시되었으나, 전자의 경우에는 후속 세정공정 등에 의한 절연막(13)의 손실로 인하여 심한 경우 절연막(13)이 무너지는 현상이 발생되거나 반대로 에치백양이 적을 경우에는 하부전극이 완전히 분리되지 않는 등의 문제가 발생되고, 후자의 경우에도 MPS 층의 과도성장(over growing)시에는 하부전극 사이에서 브리지가 발생된다(도 4 참조).

#### 발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, MPS 적용에 따른 하부전극 사이의 브리지 발생을 방지하여 고집적화에 대응하는 캐패시터 용량을 확보할 수 있는 반도체 메모리 소자의 캐패시터 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 상기의 본 발명의 목적은 소정의 공정 이 완료된 기판 상에 절연막을 형성하는 단계; 절연막을 식각하여 캐패시터용 콘택홀을 형성하는 단계; 절연막 측부에만 배리어 물질막을 형성하는 단계; 배리어 물질막이 형성된 콘택홀 표면 및 절연막 표면 상에 하부전극을 형성하는 단계; 하부전극 표면에 MPS층을 형성하는 단계; MPS층이 형성된 콘택홀에 매립되도록 매립용 물질막을 형성하는 단계; 매립용 물질막, MPS층, 및 하부전극을 절연막의 표면이 노출되도록 전면식각하여 하부전극을 분리하는 단계; 매립용 물질막을 습식식각으로 제거하는 단계; 및 하부전극 상에 유전막 및 상부전극을 형성하는 단계를 포함하는 반도체 메모리 소자의 캐패시터 제조방법에 의 해 달성될 수 있다.

또한, 상기의 기술적 과제를 달성하기 위한 본 발명의 다른 측면에 따르면, 상기의 본 발명의 목적은 소정의 공정이 완료된 기판 상에 절연막을 형성하는 단계; 절연막을 식각하여 캐패시터용 콘택홀을 형성하는 단계; 절연막 측부 및 상부에만 배리어 물질막을 형성하는 단계; 배리어 물질막이 형성된 콘택홀 표면

및 배리어 물질막 표면 상에 하부전극을 형성하는 단계; 하부전극 표면에 MPS층을 형성하는 단계; MPS층이 형성된 콘택홀에 매립되도록 매립용 물질막을 형성하는 단계; 매립용 물질막, MPS층, 및 하부전극을 배리어 물질막의 표면이 노출되도록 전면식각하여 하부전극을 분리하는 단계; 매립용 물질막을 습식식각으로 제거하는 단계; 및 하부전극 상에 유전막 및 상부전극을 형성하는 단계를 포함하는 반도체 메모리 소자의 캐패시터 제조방법에 의해 달성될 수 있다.

바람직하게, 배리어 물질막은 질화막으로 형성하고, 매립용 물질막은 이 배리어 물질막에 비해 습식식각 속도가 우수한 막, 더욱 바람직하게는 PSG막이나 USG막으로 형성한다. 또한, 하부전극을 분리하는 단계에서 전면식각은 CMP 공정이나 에치백 공정으로 수행한다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

도 5a 내지 도 5g는 본 발명의 일 실시예에 따른 반도체 메모리 소자의 캐패시터 제조방법을 설명하기 위한 단면도이다.

도 5a를 참조하면, 반도체 기판(50) 상에 층간절연막(51)을 형성하고, 기판(50)의 일부가 노출되도록 층간절연막(51)을 식각하여 플러그용 제 1 콘택홀을 형성한다. 그 다음, 상기 제 1 콘택홀에 매립되도록 층간절연막(51) 상에 플러그용 도전막으로서 제 1 폴리실리콘막을 증착하고 전면식각하여 플러그(52)를 형성한다. 그 후, 기판 전면 상에 산화막과 같은 캐패시터 형성을 위한 절연막(53)을 형성하고, 포토리소그라피 및 식각공정으로 플러그(52) 및 이 플러그(52)의 주변영역이 일부 노출되도록 절연막(53)을 식각하여 캐패시터용 제 2 콘택홀을 형성한다. 그 다음, 이후 하부전극 사이의 브리지 발생을 방지하기 위하여, 제 2 콘택홀 및 절연막(53) 표면 상에 배리어 물질막(54)을 형성한다. 바람직하게, 배리어 물질막(54)은 실리콘질화막과 같은 질화막으로 형성한다.

도 5b를 참조하면, 공지된 스페이서 식각공정으로 플러그(52) 및 절연막(53) 표면이 노출되도록 배리어 물질막(54)을 식각하여 절연막(53) 측벽에만 배리어 물질막(54)을 남도록 한다.

도 5c를 참조하면, 배리어 물질막(54)이 형성된 제 2 콘택홀 표면 및 절연막(53) 표면 상에 제 2 폴리실리콘막으로 하부전극(55)을 형성하고, 이 하부전극(55)의 표면적을 증대시키기 위하여, 도 5d에 도시된 바와 같이, 하부전극(55) 표면에 MPS층(56)을 형성한다.

도 5e를 참조하면, 이후 진행되는 CMP 공정시 제 2 콘택홀 내부에 슬러리나 연마물질 등이 잔류하는 것을 방지하기 위하여, MPS층(56)이 형성된 제 2 콘택홀에 매립되도록 기판 전면 상에 매립용 물질막(57)을 형성한다. 여기서, 매립용 물질막(57)은 습식식각이 가능한 막으로 형성하고, 바람직하게 질화막의 배리어 물질막(54)에 비해 습식식각 속도가 우수한 막, 더욱 바람직하게는 PSG막이나 USG(Undoped Silicate Glass)막으로 형성한다. 그 다음, CMP 공정이나 에치백 공정으로 매립용 물질막(57), MPS층(56), 및 하부전극(55)을 절연막(53)의 표면이 노출되도록 전면 식각하여, 하부전극(55)을 분리시킨다. 이때, 배리어 물질막(54)에 의해 하부전극(55) 사이의 간격이 확보됨에 따라, MPS층(56)의 과도성장 및 입자 떨어짐으로 인한 브리지 현상이 방지될 수 있다.

도 5f를 참조하면, 습식식각으로 매립용 물질막(57)을 제거하여 MPS층(56)을 노출시킨다. 이때, 절연막(53) 측벽에 형성된 배리어 물질막(54)에 의해 절연막(53)의 식각이 방지된다. 그 다음, 도 5g에 도시된 바와 같이, MPS층(56) 상에 유전막(58) 및 상부전극(59)을 순차적으로 형성하여 캐패시터를 완성한다. 여기서, 유전막(58)은 산화막, 질화막, Ta<sub>2</sub>O<sub>5</sub>막, Ta<sub>2</sub>O<sub>5</sub>막 중 선택되는 하나의 막으로 형성하고, 상부전극(59)은 폴리실리콘막이나 TiN막으로 형성한다.

상기 실시예에 의하면, 하부전극(55) 사이의 절연하는 절연막(53)의 측벽에 형성된 배리어 물질막(54)에 의해, 하부전극(55) 사이의 간격이 확보됨에 따라, MPS층(56)의 과도성장 및 입자 떨어짐으로 인한 브리지 현상을 방지할 수 있을 뿐만 아니라, 습식식각에 의한 매립용 물질막(57)의 제거시 절연막(53)의 식각이 방지되어 하부전극(55) 사이의 브리지 발생이 효과적으로 방지될 수 있다.

한편, 상기 실시예에서는 배리어 물질막을 절연막의 측벽에만 형성하였지만, 이와 달리 배리어 물질막을 절연막의 측벽 및 상부에 모두 형성할 수도 있다.

도 6a 내지 도 6f는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 캐패시터 제조방법을 설명하기 위한 단면도로서, 상기 일 실시예와 동일한 공정으로 형성되는 부분에 대해서는 그에 대한 상세한 설명은 생략한다.

도 6a를 참조하면, 상기 일 실시예와 동일한 공정에 의해 층간절연막(61), 플러그용 제 1 콘택홀, 제 1 폴리실리콘막의 플러그(62), 절연막(63), 및 캐패시터용 제 2 콘택홀이 순차적으로 형성된 반도체 기판(60)을 준비한다. 그 다음, 이후 하부전극 사이의 브리지 발생을 방지하기 위하여, 일 실시예와 마찬가지로 제 2 콘택홀 및 절연막(63) 표면 상에 질화막의 배리어 물질막(64)을 형성한다.

도 6b를 참조하면, 배리어 물질막(64) 상에 하부전극용 제 1 막으로서 제 2 폴리실리콘막(65A)을 형성한다. 그 다음, 공지된 스페이서 식각공정으로 플러그(62) 표면만 노출되도록 제 2 폴리실리콘막(65A) 및 배리어 물질막(64)을 식각하여, 도 6c에 도시된 바와 같이, 배리어 물질막(64)은 절연막(63)의 측부 뿐만 아니라 상부에도 남도록 하고, 제 2 폴리실리콘막(65A)은 절연막(63) 측부에만 남도록 한다.

도 6d를 참조하면, 도 6b의 구조 표면 상에 하부전극용 제 1 막으로서 제 3 폴리실리콘막(65B)을 형성하여 제 1 및 제 2 폴리실리콘막(65A, 65B)으로 이루어진 하부전극(65)을 형성한다.

도 6e를 참조하면, 상기 일 실시예와 마찬가지로, 하부전극(65) 표면 상에 MPS층(66)을 형성하고, MPS층(66)이 형성된 제 2 콘택홀에 매립되도록 기판 전면 상에 PSG막이나 USG막으로 매립용 물질막(67)을 형성한다. 그 다음, CMP 공정이나 에치백 공정으로 매립용 물질막(67), MPS층(66), 및 하부전극(65)을 배리어 물질막(64)의 표면이 노출되도록 전면 식각하여, 하부전극(65)을 분리시킨다. 이때, 절연막(63) 상부에 형성된 배리어 물질막(64)에 의해 절연막(63)이 보호되어 후속 세정공정 등에 의한 절연막(63)의 손실이 방지되고, 또한 하부전극(65) 사이의 간격이 확보됨에 따라, MPS층(66)의 과도성장 및 입자 떨어짐

으로 인한 브리지 현상이 방지될 수 있다.

도 6f를 참조하면, 상기 일 실시예와 마찬가지로, 습식식각으로 매립용 물질막(67)을 제거하고, MPS층(66) 상에 유전막(68) 및 상부전극(69)을 순차적으로 형성하여 캐패시터를 완성한다. 여기서, 매립용 물질막(67)의 제거시, 절연막(53) 측부 및 상부에 형성된 배리어 물질막(64)에 의해 절연막(63)의 식각이 더 효과적으로 방지된다.

상기 실시예에 의하면, 하부전극(65) 사이를 절연하는 절연막(63)의 측벽에 형성된 배리어 물질막(64)에 의해, 하부전극(65) 사이의 간격이 확보됨에 따라, MPS층(66)의 과도성장 및 입자 떨어짐으로 인한 브리지 현상을 방지할 수 있을 뿐만 아니라, 후속 세정공정이나 습식식각에 의한 매립용 물질막(67)의 제거시 절연막(63)의 식각이 방지되어 하부전극(65) 사이의 브리지 발생이 더 효과적으로 방지될 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### 발명의 효과

전술한 본 발명은 하부전극 사이를 절연하는 절연막을 배리어 물질막으로 보호하여 후속 공정 등에 의한 절연막 손실을 방지함과 동시에 하부전극 사이의 간격을 확보함으로써, MPS층 적용에 따른 하부전극 사이의 브리지 발생을 효과적으로 방지할 수 있다.

#### (5) 청구의 범위

청구항 1. 소정의 공정이 완료된 기판 상에 절연막을 형성하는 단계;

상기 절연막을 식각하여 캐패시터용 콘택홀을 형성하는 단계;

상기 절연막 측부에만 배리어 물질막을 형성하는 단계;

상기 배리어 물질막이 형성된 상기 콘택홀 표면 및 절연막 표면 상에 하부전극을 형성하는 단계;

상기 하부전극 표면에 MPS층을 형성하는 단계;

상기 MPS층이 형성된 상기 콘택홀에 매립되도록 매립용 물질막을 형성하는 단계;

상기 매립용 물질막, MPS층, 및 하부전극을 상기 절연막의 표면이 노출되도록 전면식각하여 상기 하부전극을 분리하는 단계;

상기 매립용 물질막을 습식식각으로 제거하는 단계; 및

상기 하부전극 상에 유전막 및 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

청구항 2. 제 1 항에 있어서,

상기 배리어 물질막은 질화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

청구항 3. 제 1 항 또는 제 2 항에 있어서,

상기 매립용 물질막은 상기 배리어 물질막에 비해 습식식각 속도가 우수한 막으로 형성하는 것을 특징으로 반도체 메모리 소자의 캐패시터 제조방법.

청구항 4. 제 3 항에 있어서,

상기 매립용 물질막은 PSG막이나 USG막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

청구항 5. 제 1 항에 있어서,

상기 하부전극을 분리하는 단계에서 상기 전면식각은 CMP 공정이나 에치백 공정으로 수행하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

청구항 6. 소정의 공정이 완료된 기판 상에 절연막을 형성하는 단계;

상기 절연막을 식각하여 캐패시터용 콘택홀을 형성하는 단계;

상기 절연막 측부 및 상부에만 배리어 물질막을 형성하는 단계;

상기 배리어 물질막이 형성된 상기 콘택홀 표면 및 배리어 물질막 표면 상에 하부전극을 형성하는 단계;

상기 하부전극 표면에 MPS층을 형성하는 단계;

상기 MPS층이 형성된 상기 콘택홀에 매립되도록 매립용 물질막을 형성하는 단계;  
 상기 매립용 물질막, MPS층, 및 하부전극을 상기 배리어 물질막의 표면이 노출되도록 전면식각하여 상기 하부전극을 분리하는 단계;  
 상기 매립용 물질막을 습식식각으로 제거하는 단계; 및  
 상기 하부전극 상에 유전막 및 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

**청구항 7.** 제 6 항에 있어서,  
 상기 배리어 물질막은 질화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

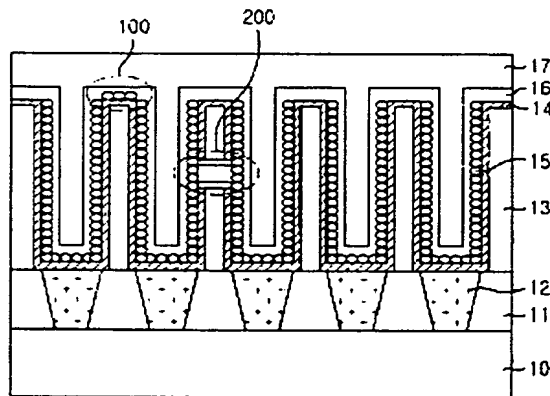
**청구항 8.** 제 6 항 또는 제 7 항에 있어서,  
 상기 매립용 물질막은 상기 배리어 물질막에 비해 습식식각 속도가 우수한 막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

**청구항 9.** 제 8 항에 있어서,  
 상기 매립용 물질막은 PSG막이나 USG막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

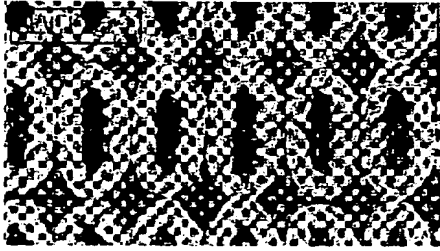
**청구항 10.** 제 6 항에 있어서,  
 상기 하부전극을 분리하는 단계에서 상기 전면식각은 CMP 공정이나 에치백 공정으로 수행하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 제조방법.

도면

도면1



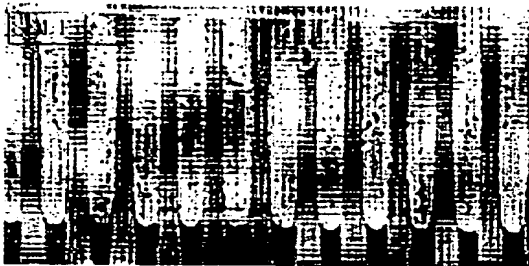
도 12



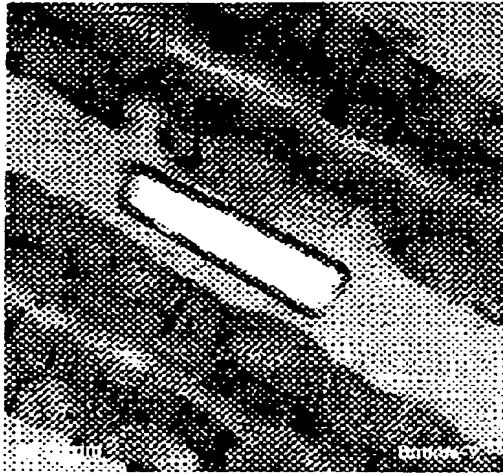
도 13a



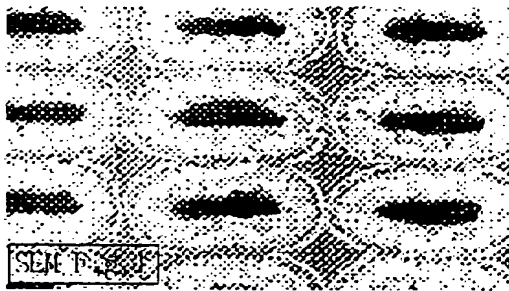
도 13b



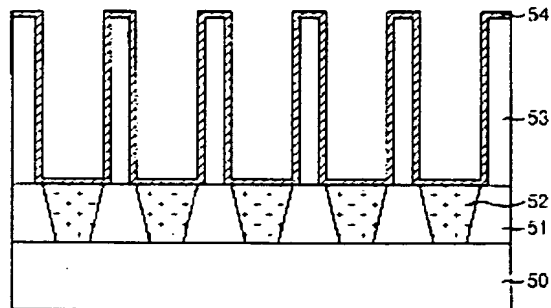
도 13a



도 14

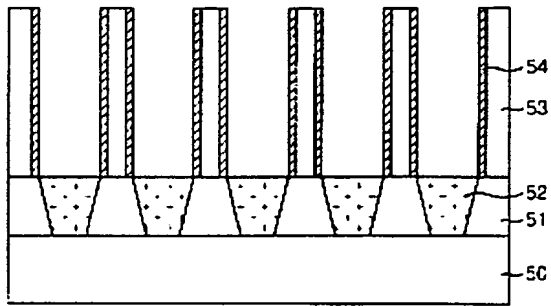


도 15a

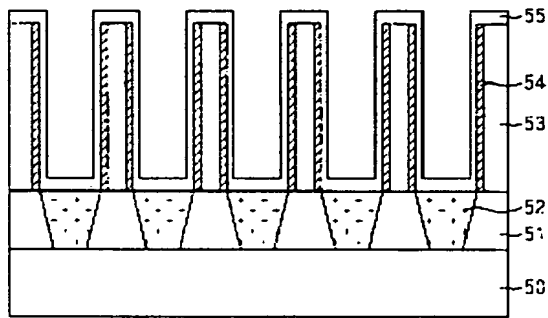




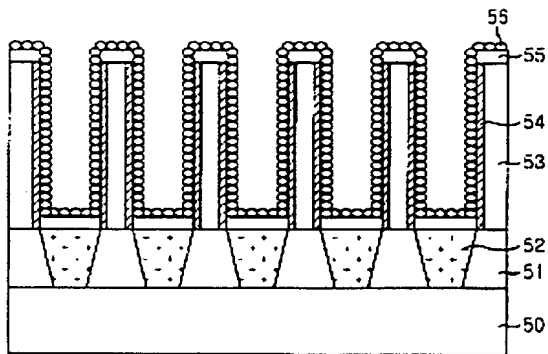
도 15



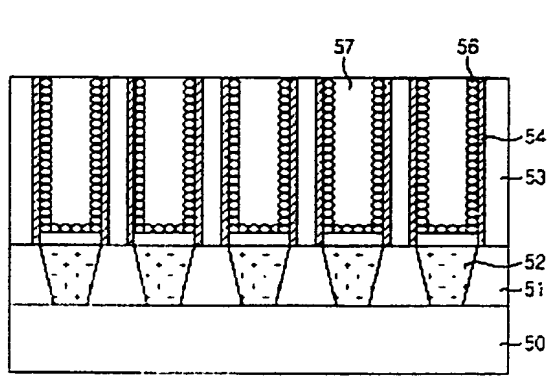
도 16



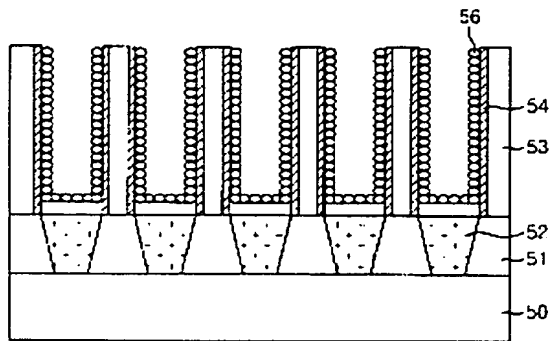
도 17



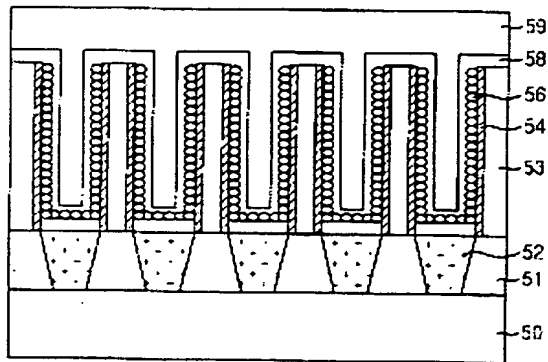
도 56



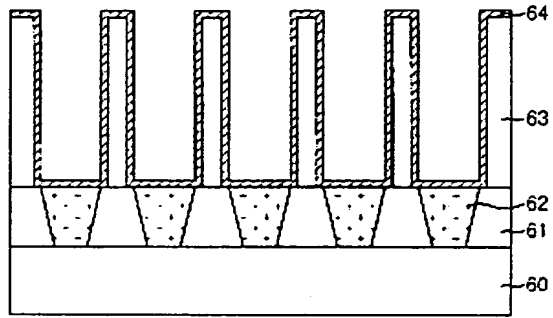
도 57



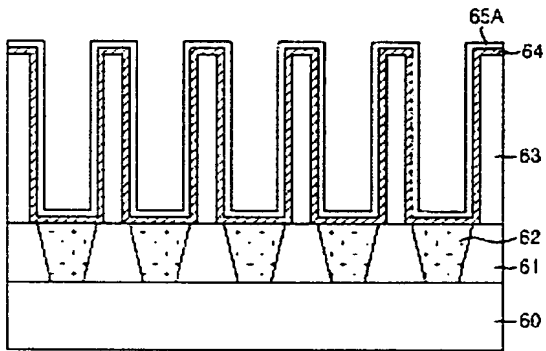
도 58



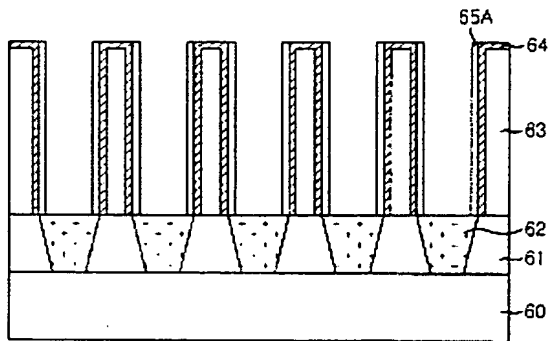
도 10a



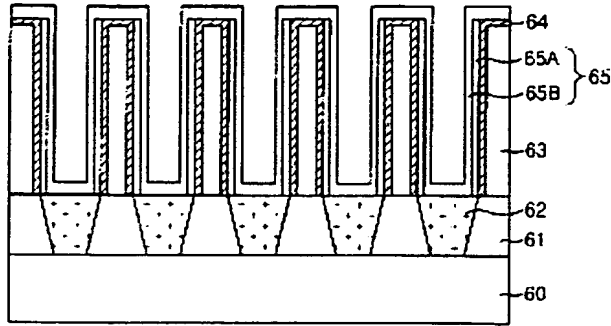
도 10b



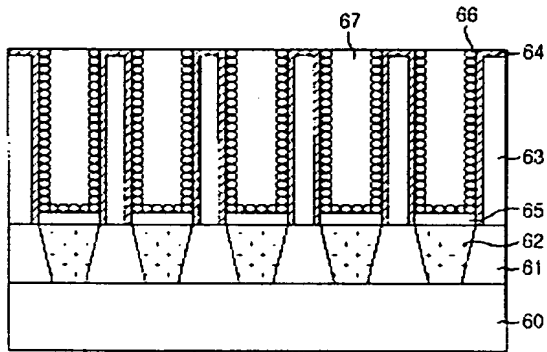
도 10c



도 16f



도 16g



도 16h

